

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-128053
 (43)Date of publication of application : 09.08.1982

(51)Int.Cl. H01L 27/04
 G05F 1/56
 H01L 23/56
 H01L 27/00

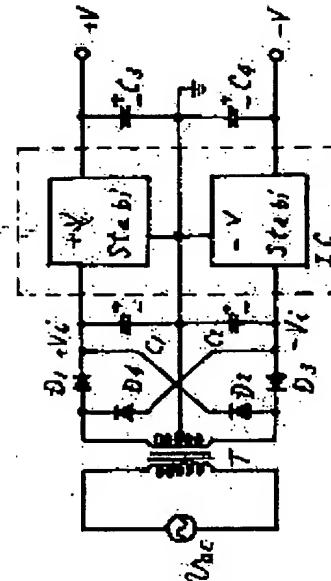
(21)Application number : 56-012972 (71)Applicant : HITACHI LTD
 HITACHI TOBU SEMICONDUCTOR
 LTD
 (22)Date of filing : 02.02.1981 (72)Inventor : IGA KAZUYOSHI

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To simplify a power source circuit in an electronic circuit necessary for a plurality of power source voltages by composing circuits for forming a plurality of types of stabilized output voltages for non-stable input voltage in one IC device.

CONSTITUTION: An AC power source voltage V_{AC} inputted through a transformer T having a center tap at the output side is rectified and converted into non-stable voltages $+V_i, -V_i$. These voltages $+V_i, -V_i$ are inputted to stabilized power source circuits $+V/stabi, -V/stabi$ composed in the IC designated by broken lines, in which positive and negative polarity stabilized output voltages $+V, -V$ are formed. In this manner, the power source circuit of an electronic circuit necessary for the stabilized voltages can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
 ⑰ 公開特許公報 (A) 昭57-128053

⑯ Int. Cl. ³ H 01 L 27/04 G 05 F 1/56 H 01 L 23/56 27/00	識別記号	厅内整理番号 8122-5F 6945-5H 6851-5F 6426-5F	⑯ 公開 昭和57年(1982)8月9日 発明の数 1 審査請求 未請求
---	------	--	--

(全 3 頁)

⑯ 集積回路装置

⑯ 特 願 昭56-12972
 ⑯ 出 願 昭56(1981)2月2日
 ⑯ 発明者 伊賀一善
 埼玉県入間郡毛呂山町大字旭台
 15番地日立入間電子株式会社内

⑯ 出願人 株式会社日立製作所
 東京都千代田区丸の内1丁目5
 番1号
 ⑯ 出願人 日立入間電子株式会社
 埼玉県入間郡毛呂山町大字旭台
 15番地
 ⑯ 代理人 弁理士 薄田利幸

明細書

発明の名称 集積回路装置

特許請求の範囲

1つの集積回路装置に、非安定入力電圧に対して正、負電圧を含む複数種類の安定化出力電圧を形成する回路を内蔵することを特徴とする集積回路装置。

発明の詳細な説明

この発明は、安定化電源用の集積回路装置に関する。

従来の安定化電源用集積回路装置は、非安定入力電圧に対して1つの安定化出力電圧を形成するものである。

一方、安定化電源電圧が使用される電子回路において、例えば、+24ボルト、+5ボルト又は+15ボルト、-15ボルトのように二つ以上の安定化電源電圧が必要とされるものがある。

したがって、これらの電子回路においては、それぞれの電源電圧に応じた数だけの安定化電源用集積回路装置等が必要になるため、電源回路が複

雑になるという欠点があった。

この発明の目的は、複数の電源電圧を必要とする電子回路における電源回路の簡素化を図ることができる集積回路装置を提供することにある。

この発明の基本的特徴によれば、1つの集積回路装置内に、非安定入力電圧に対して複数種類の安定化出力電圧を形成する回路が構成される。

以下、この発明を実施例とともに詳細に説明する。

第1図は、この発明の一実施例を示すブロック図である。

出力側にセンタタップを有するトランスTを介した交流電源V_{ac}は、全波整流ダイオードD₁, D₂とコンデンサC₁及び全波整流ダイオードD₃, D₄とコンデンサC₂により、それぞれ整流されて非安定電圧+V₁, -V₁に変換される。

これらの非安定電圧+V₁, -V₁は、それぞれ回路に点線で示された集積回路装置I Cに構成された安定化電源回路+V/81ab1, -V/81ab1に入力される。そして、これらの安定化電源回路

$+V_{\text{Stabi}}$, $-V_{\text{Stabi}}$ で正, 負両電極性の安定化出力電圧 $+V$, $-V$ が形成される。なお、各出力電圧端子には、それぞれ外付部品としてのコンデンサ C_1 , C_2 が設けられる。

上記各安定化電源回路 $+V_{\text{Stabi}}$, $-V_{\text{Stabi}}$ はそれぞれ 1 個のシリコンチップで構成してもよいし、両者を同一のシリコンチップ内に形成するものとしてもよい。

上記各安定化電源回路 $+V_{\text{Stabi}}$, $-V_{\text{Stabi}}$ をそれぞれ 1 個のシリコンチップに形成した場合において、シリコンチップのサブストレート電位が、例えば、0 ボルト, $-V_1$ ボルトのように異なるときには、第 2 図の断面図に示すように、集積回路装置を構成するリードフレームタブ又はヘッダー 1 に対して、一方のシリコンチップ 3a は直接ペレット付けし、他方のシリコンチップ 3b は絶縁物 2 を介してペレット付けするものとして両者間の電気的絶縁分離をすればよい。

この場合、ワイヤバンディング等により両チップ間の基準電位 (0 ボルト) の接続が行なわれる。

に、出力電圧 V_{ref} は $(1 + \frac{R_2}{R_1}) V_{\text{ref}}$ に設定され、同一極性の異なる二つの安定化出力電圧 V_a , V_b を形成することができる。

なお、定電流回路 I₀ で形成された各定電流は起動回路 START, 基準電圧回路 V_{ref} , エラーアンプ $E_{\text{A}1}$, $E_{\text{A}2}$ 及び出力トランジスタ Q_1 , Q_2 に供給されている。

これらの構成の各回路は、1 個のシリコンチップ又は複数個のシリコンチップに分割されて構成され、同種の半導体製造方法により同一のパッケージに封止されて 1 個の集積回路装置として形成される。

以上説明した各実施例によれば、1 つの集積回路装置により、正, 負両極性の 2 種類の安定化電圧、又は同一極性の下での異なる 2 種類の安定化電圧が形成できるため、これらの安定化電圧を必要とする電子回路の電源回路を簡素化することができる。

この発明は、前記実施例に限定されず、第 1 図に示した実施例と、第 3 図に示した実施例を組み

特開昭57-128053(2)

一方、1 個のシリコンチップ内に両安定化電源回路 $+V_{\text{Stabi}}$, $-V_{\text{Stabi}}$ を構成する場合には、サブストレート電位は、通常 $-V_1$ の電圧に設定される。

第 3 図は、この発明の他の一実施例を示すブロック図である。

この実施例においては、1 の非安定入力電圧 V_i により、2 つの安定化出力電圧 V_a , V_b が形成される。

基準電圧回路 V_{ref} で形成された基準電圧は、2 つのエラーアンプ $E_{\text{A}1}$, $E_{\text{A}2}$ の非反転入力端子 (+) に共通に印加される。これらのエラーアンプ $E_{\text{A}1}$, $E_{\text{A}2}$ の出力電圧は、出力トランジスタ Q_1 , Q_2 のベースに印加される。これらの出力トランジスタ Q_1 , Q_2 のエミッタには、分圧 (帰還) 抵抗 R_1 , R_2 及び R_3 , R_4 がそれぞれ設けられる。そして、この分圧抵抗 R_1 , R_2 及び R_3 , R_4 で形成された出力分圧電圧は、それぞれエラーアンプ $E_{\text{A}1}$, $E_{\text{A}2}$ の反転入力端子 (-) に帰還される。

したがって、出力電圧 V_a は $(1 + \frac{R_2}{R_1}) V_{\text{ref}}$

合せて、より多くの種類の安定化電圧を 1 つの集積回路装置で形成するものとしてもよい。

また、第 3 図の実施例において、抵抗 R_1 ~ R_4 の全部、又は一方の抵抗 R_1 , R_2 又は R_3 , R_4 を外付部品で構成するものとすれば、入力電圧 V_i 以下の任意の安定化出力電圧を得ることができる。

また、安定化出力電圧を形成する回路の具体的回路構成は、何んであってもよい。

図面の簡単な説明

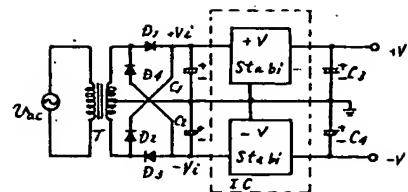
第 1 図は、この発明の一実施例を示すブロック図、第 2 図は、この発明の一実施例を示す構造断面図、第 3 図は、この発明の他の一実施例を示すブロック図である。

1 … リードフレーム、2 … 絶縁物、3a, 3b … シリコンチップ。

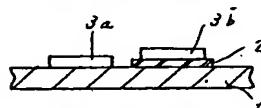
代理人弁理士 潤田利一


特開昭57-128053(3)

第 1 図



第 2 図



第 3 図

